

M
E
N
U[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)[First Hit](#)

Generate Collection

L13: Entry 2 of 5

File: JPAB

Aug 27, 1999

PUB-NO: JP411231951A

DOCUMENT-IDENTIFIER: JP 11231951 A

TITLE: INTERNAL VOLTAGE GENERATION CIRCUIT

PUBN-DATE: August 27, 1999

INVENTOR-INFORMATION:

NAME

COUNTRY

DON, ZUN YAN

ASSIGNEE-INFORMATION:

NAME

COUNTRY

LG SEMICON CO LTD

APPL-NO: JP10329203

APPL-DATE: November 19, 1998

INT-CL (IPC): G05 F 1/56; H03 L 1/00

ABSTRACT:

PROBLEM TO BE SOLVED: To maintain the level of internal power supply voltage on a fixed level even when there is change in a circuit manufacturing process by compensating voltage fluctuation due to the change in the circuit manufacturing process when an internal voltage level amplifying part amplifies reference voltage.

SOLUTION: External voltage is inputted to a reference voltage generating part 40 to generate reference voltage Vref and an internal voltage level amplifying part 50 amplifies the voltage Vref up to an internal voltage level. And when the internal voltage level is changed by a circuit manufacturing process, a process change compensating part 60 compensates the change of the circuit manufacturing process and outputs it. Further, the internal voltage level which is compensated by the part 60 and is amplified by the part 50 is inputted to a driver part 70 to drive internal voltage. Thus, it is possible to maintain the level of internal power supply voltage on a fixed level even if there is change in the circuit manufacturing process and to improve reliability to a chip.

COPYRIGHT: (C)1999, JPO

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-231951

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

G 0 5 F 1/56

H 0 3 L 1/00

識別記号

3 1 0

F I

G 0 5 F 1/56

H 0 3 L 1/00

3 1 0 E

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21) 出願番号

特願平10-329203

(22) 出願日

平成10年(1998)11月19日

(31) 優先権主張番号

6 8 1 9 3 / 1 9 9 7

(32) 優先日

1997年12月12日

(33) 優先権主張国

韓国 (K R)

(71) 出願人 591044131

エルジイ・セミコン・カンパニー・リミテッド

大韓民国 チュングチェオンブグド チ
ェオンジュシ・ヒュンダクーク・ヒヤ
ンギェオンードン・1

(72) 発明者

ドン・ズン・ヤン

大韓民国・チュンチョンブグド・チョ
ン・ヒュンダクーク・カキョノード
ン・(番地なし)・ヒョンソク アパート
メント 101-305

(74) 代理人

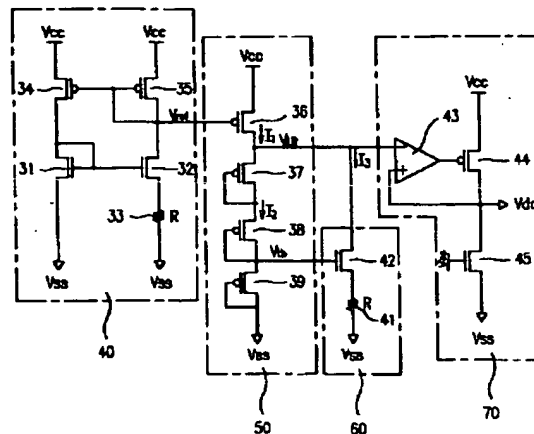
弁理士 山川 政樹

(54) 【発明の名称】 内部電圧発生回路

(57) 【要約】

【課題】 内部電源回路の製造時の工程変化による電圧変動を補償して、内部電源電圧のレベルを一定に維持する。

【解決手段】 内部電圧レベル増幅部を流れる電流のバイパス路をnMOSTランジスタで形成させ、そのnMOSTランジスタのゲートを内部電圧レベル増幅部を通る電流で生じる電圧が加えられるように接続した。したがって、内部電圧レベル増幅部を通る電流が増加するとバイパス電流が増加し、内部電圧レベル増幅部を通る電流を減少させる。



【特許請求の範囲】

【請求項1】 外部電源を用いて内部電源を生成する内部電圧発生回路において、外部電源を受けて基準電圧を発生させる基準電圧発生部と、基準電圧発生部からの基準電圧を内部電圧レベルに増幅させる内部電圧レベル増幅部と、内部電圧レベル増幅部での基準電圧増幅時の回路製造工程の変化による電圧変動を補償する工程変化補償部と、増幅された内部電圧レベルにより内部電圧を駆動するドライバ部と、を備えることを特徴とする内部電圧発生回路。

【請求項2】 内部電圧レベル増幅部が、外部電源と低圧電源との間に直列に接続された複数のトランジスタからなり、外部電源側の二つのトランジスタの接続点を出力端とし、工程変化補償部は、内部電圧レベル増幅部の出力端にドレイン端子が接続され、ソース端子が第2抵抗を介して低電圧源に連結され、ゲートが内部電圧レベル増幅部を構成する直列に連結されたトランジスタの低電圧源側の二つのトランジスタの接続点に接続されるnMOSトランジスタとから構成されるフィードバック回路であることを特徴とする請求項1記載の内部電圧発生回路。

【請求項3】 前記nMOSトランジスタはしきい値電圧を有するトランジスタから構成されることを特徴とする請求項2記載の内部電圧発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、内部電圧発生回路に関し、特に製造工程が変化しても安定的に出力する内部電圧発生回路に関する。

【0002】

【従来の技術】一般に、回路内の特定のノードの電圧を内部電源として使用する場合がある。その場合、ACインピーダンスを低くし、且つDCレベルを安定化させる必要がある。しかし、上記の2つの要求条件の双方を満たすことは困難なので、そのうち一つのみを強調するようになる。ローインピーダンスの面に焦点を合わせたものを内部電源と言い、温度や外部電圧の変動に対して安定的に電圧を供給する回路を基準電圧発生器という。その際、優秀な内部電源を確保するためにはこれらに関連させて設計しなければならない。外部電源電圧及び外部温度の変化に係わらずに常に一定の電圧を供給する基準電圧発生器を設計するためには、物理的定数に基づいた電圧を使用しなければならない。PNジャクションのビルトイン電圧、MOS構造のしきい値電圧等がその物理的定数に基づいた電圧の代表的な例である。それらの電圧の値は素子のサイズよりは製造工程条件に依存する特性があるので、設計による変動が少なく、基準電圧として使用するに有利である。周辺回路の設計にあたって温

度による変動(温度係数)を最小化することが重要であるため、この方法により多様な回路形態が提案されてきた。

【0003】外部電圧、温度、製造工程等の変化に影響を受けないように一定の基準電圧を発生させるが、より正確に基準電圧を制御するには、さらに、内部電源電圧が変動した場合にその変動を検出し、その結果に対応して基準電圧を高速でフィードバックさせてその変動を抑制する回路を用意しなければならない。このため、内部電源電圧回路は正確な基準電圧回路と高速フィードバックループ及び大容量電流供給能力が必要である。

【0004】以下、添付図面に基づき従来の内部電圧発生回路を説明する。図1は従来の内部電圧発生回路を示す回路図である。図に示すように、外部電圧を受けて基準電圧を発生させる基準電圧(V_{ref})発生部10と、基準電圧発生部10から発生された基準電圧を内部電圧レベルまで増幅させる内部電圧レベル増幅部20と、内部電圧レベル増幅部20で内部電源電圧レベルまで増幅された値により内部電源電圧を駆動するドライバ部30とを備える。

【0005】基準電圧発生部10は内部電源電圧の変動に係わらずに一定の基準電圧を発生する回路であり、その構成は次の通りである。ゲートを共有する第1、第2nMOSトランジスタ11、12と、第2nMOSトランジスタ12のソース端子に直列連結されるとともに V_{ss} 電源に接続される抵抗(R)13と、第1、第2nMOSトランジスタ11、12の共有のゲートノードにドレイン端子が接続され、ソース端子が V_{cc} に接続される第1pMOSトランジスタ14と、第1pMOSトランジスタ14とゲートを共有するとともに、ソース端子が V_{cc} 電源に連結され、ドレイン端子が第2nMOSトランジスタ12のドレインに接続される第2pMOSトランジスタ15とから構成される。この第1、第2pMOSトランジスタ14、15の共有のゲートノードは第2pMOSトランジスタ15のドレイン端子に接続されて基準電圧が出力されるノードとなる。

【0006】上記のようにして構成される基準電圧発生部10においては、第1、第2pMOSトランジスタ14、15が同一特性を有するトランジスタであるとする、ゲートを共有しているので飽和領域では双方のトランジスタ14、15を介して流れる電流が同じになる。

【0007】内部電圧レベル増幅部20は、 V_{cc} 電源と V_{ss} 電源との間に直列連結される4つのpMOSトランジスタから構成される。すなわち、基準電圧発生部10の出力ノードにゲートが接続され、ソース端子が V_{cc} 電源に連結される第3pMOSトランジスタ16と、このトランジスタ16のドレイン端子にソース端子が接続され、ドレイン端子がゲートに接続される第4pMOSトランジスタ17と、このトランジスタ17のドレイン端子にソース端子が接続され、ドレイン端子がゲ

3

ートに接続される第5pMOSTランジスタ18と、このランジスタ18のドレイン端子にソース端子が接続され、ドレイン端子がゲートに接続されるとともにV_{ss}電源にも連結される第6pMOSTランジスタ19とからなる。この回路は、第3pMOSTランジスタ16のドレイン端子と第4pMOSTランジスタ17のソース端子との共有接続点出力ノードとなる。

【0008】ドライバ部30は、内部電圧レベル増幅部20の出力ノードからの内部電源電圧レベル値(V_{LR})と内部電源電圧値(V_{dd})との電圧差を検出する比較器21と、比較器21の比較結果により駆動される第7pMOSTランジスタ22と、第7pMOSTランジスタ22のドレイン端子にドレイン端子が接続され、ソース端子はV_{ss}電源に連結される第3nMOSTランジスタ23とから構成される。第3nMOSTランジスタ23のゲートはV_{cc}電源に連結され、常時オン状態に*

$$I \cdot R = V_{GS1} - V_{GS2} = V_{T1} + \sqrt{(1/k_1) - (V_{T2} + \sqrt{(I/k_2)})}$$

$$= \sqrt{I} (1/\sqrt{k_1} - 1/\sqrt{k_2}) \text{ となる。}$$

ここで、V_{T1}、V_{T2}はそれぞれ第1nMOS11、第2nMOS12のしきい値電圧、k₁、k₂はそれぞれ第1nMOS11、第2nMOS12のk値となる。これを整理すると、

$$\sqrt{I} = (1/\sqrt{k_1} - 1/\sqrt{k_2}) / R$$

となり、V_{cc}とは無関係な電流が流れる。そして、V_{REF} = V_{cc} - V_{GS4} = V_{cc} - |V_{TP4}| - $\sqrt{(I/k_4)}$ = V_{cc} - |V_{TP4}| - 1/(R $\sqrt{(k_4)}$) ($\sqrt{(k_1)}$) - $\sqrt{(k_2)}$) となる。ここでV_{GS4}はpMOSTランジスタ15のゲート・ソース間電圧、V_{TP4}はpMOSTランジスタ15のしきい値電圧、k₄はpMOSTランジスタ15のk値である。 $\alpha = 1/(R\sqrt{(k_4)} (\sqrt{(k_1)} - \sqrt{(k_2)}))$ 30 すると内部電圧V_{LR}は、V_{LR} = 3 (|V_{TP}| + α) と表すことができる。ここでV_{TP}とは第4～第6pMOSTランジスタ17～19のしきい値電圧である。内部電圧が上記のように表され、ランジスタのしきい値電圧は基板の不純物濃度、ソース・ドレイン拡散層の深さ、ゲート酸化膜の厚さなどの製造工程上の変数により影響を受ける。したがって、製造工程上の変数の変化によりしきい値電圧が変わった場合に、内部電圧は結果的にしきい値電圧の変化量の3倍も変動することになる。すなわち、内部電圧の値は工程変化に敏感である。そして、その変動する内部電圧レベルが、直ちにドライバ部30のレベルとなる。

【0010】

【発明が解決しようとする課題】上記の従来の内部電圧発生回路では次のような問題点があった。内部電圧は、工程変化に敏感で工程によるしきい値電圧の変化量の3倍も変化し、バーンイン(burn-in)時に工程変化に従って内部電圧のレベルが変わるため、正確なバーンインを進行することができない。このため、チップに対する信頼度が落ちる。工程によって変動する内部電圧のレベル※50

4

*維持されている。第7pMOSTランジスタ22のドレインと第3nMOSTランジスタ23のドレインとが共通接続され、フィードバックされながら内部電圧(V_{dd})を出力する。

【0009】以下、上記構成の従来の内部電圧発生回路の動作について説明する。基準電圧発生部10において、第1pMOS14に流れる電流をIとすると、第1nMOS11のゲート端子に加えられる電圧V_{GS1} = V_{GS2} + I · Rであり(V_{GS2}は第2nMOS12のゲート・ソース間電圧)、ランジスタ14、15は同じランジスタであるので、k = $\mu c o x$ (W/L) (ここで、 μ = キャリアの移動度、c o x = 酸化膜キャパシタンス、W = トランジスタのチャネル幅、L = チャネル長) とするとき、飽和領域で共通ゲートとされているランジスタへ流れる電流Iは以下のように計算することができる。

※を合わせたためのトリミング回路を追加しなければならないため、付加的な努力が必要である。

【0011】本発明は上記問題点を解決するためになされたものであり、その目的とするところは、工程に変化があっても内部電源電圧のレベルを一定に維持することができる、結果的にチップに対する信頼度を向上させることができる内部電圧発生回路を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するための本発明の内部電源電圧発生回路は、外部電源を用いて内部電源を生成する内部電圧発生回路であって、外部電源を受けて基準電圧を発生させる基準電圧発生部と、基準電圧発生部からの基準電圧を内部電圧レベルに増幅させる内部電圧レベル増幅部と、内部電圧レベル増幅部での基準電圧増幅時の回路製造工程の変化による電圧変動を補償する工程変化補償部と、増幅された内部電圧レベルにより内部電圧を駆動するドライバ部とを備えることを特徴とする。

【0013】

【発明の実施の形態】以下、添付図面に基づき本発明実施形態の内部電圧発生回路を説明する。図2は本実施形態の内部電圧発生回路を示す回路図である。図2に示すように、この内部電圧発生回路は、外部電圧を入力されて基準電圧(V_{ref})を発生させる基準電圧発生部40と、基準電圧発生部40からの基準電圧を内部電圧レベルまで増幅させる内部電圧レベル増幅部50と、内部電圧レベル増幅部50からの内部電圧レベルが製造工程によって変化した場合にその変化を補償して出力する工程変化補償部60と、工程変化補償部60で補償され、増幅された内部電圧レベルを入力して内部電圧を駆動するドライバ部70とから構成される。

【0014】ここで、基準電圧発生部40は内部電圧の

5

変動に係わらずに基準電圧を発生するが、基本的には従来の回路と格別の相違はない。すなわち、ゲートを共有する第1、第2 nMOSトランジスタ31、32と、第2 nMOSトランジスタ32のソース端子に直列連結されてV_{ss}電源に接続される第1抵抗(R)33と、共有のゲートノードにドレイン端子が接続される第1 pMOSトランジスタ34と、第1 pMOSトランジスタ34とゲートを共有するとともにソース端子がV_{cc}電源に連結される第2 pMOSトランジスタ35とから構成される。pMOSトランジスタの共有ゲートノードは第2 pMOSトランジスタ35のドレイン端子に接続されて基準電圧が出力されるノードとなる。

【0015】上記のように構成された基準電圧発生部40では、第1、第2 pMOSトランジスタ34、35が同様なトランジスタであるとする、ゲートを共有している、飽和領域ではそれらのトランジスタ34、35を介して流れる電流が同じである。

【0016】内部電圧レベル増幅部50は、同様に、従来と同じくV_{cc}電源とV_{ss}電源との間に直列連結される4つのpMOSトランジスタから構成される。すなわち、基準電圧発生部40の出力ノードにゲートが接続され、ソース端子はV_{cc}電源に連結される第3 pMOSトランジスタ36と、第3 pMOSトランジスタ36のドレイン端子にソース端子が接続され、ドレイン端子はゲートに接続される第4 pMOSトランジスタ37と、第4 pMOSトランジスタ37のドレイン端子にソース端子が接続され、ドレイン端子はゲートに接続される第5 pMOSトランジスタ38と、第5 pMOSトランジスタ38のドレイン端子にソース端子が接続され、ドレイン端子がゲートとV_{ss}電源に連結される第6 pMOSトランジスタ39とからなる。第3 pMOSトランジスタ36のドレイン端子と第4 pMOSトランジスタ37のソース端子との共有点が、内部電圧レベル増幅部50の出力ノードとなる。

【0017】工程変化補償部60は、内部電圧レベル増幅部50の出力端にドレイン端子が接続され、ソース端子が第2抵抗(R)41に直列連結されてV_{ss}電源に連結される第3 nMOSトランジスタ42から構成される。この第3 nMOSトランジスタ42のゲートが第5 pMOSトランジスタ38と第6 pMOSトランジスタ39の接続点に接続されている。第3 pMOSトランジスタのドレイン電流をI₁、第4 pMOSトランジスタ37のドレイン電流をI₂、第3 nMOSトランジスタ42にバイパスされる電流をI₃とすると、 $I_1 = I_2 + I_3$ であり、 $V_{LR} = 3(|V_{th}| + \sqrt{(I_1 - I_3)/k})$ である。ここで、V_{th}は内部電圧レベル増幅器50のpMOSトランジスタ38と39との間の電圧である。したがって、もし、|V_{th}|が高くなるように作成されると、第3 nMOSトランジスタ42を経てI₃値が大きくなり、|V_{th}|が低くなるように作成されると、第3 nMOSトランジスタ42を介して

6

I₃値が小さくなる。従って、製造工程による各pMOSトランジスタのしきい値電圧の変化にともなう|V_{th}|の変化を、フィードバック回路である第3 nMOSトランジスタ42と第2抵抗41とによって補償することができる。ここで、第3 nMOSトランジスタ42は、低いしきい値電圧を有するトランジスタを使用し安定的にしきい値電圧を調節することができるので、工程の変化による|V_{th}|の変化を確実に補償する。

【0018】ドライバ部70は、内部電圧レベル増幅部50の出力ノードからの内部電圧レベル値(V_{LR})と出力電圧(V_{dd})との電圧差を検出する比較器43と、比較器43にゲートが接続され、ソース端子はV_{cc}電源に連結されて駆動される第7 pMOSトランジスタ44と、第7 pMOSトランジスタ44のドレイン端子にドレイン端子が接続され、ソース端子はV_{ss}電源に連結される第4 nMOSトランジスタ45とから構成される。

【0019】上記のようにして構成されるドライバ部70は、V_{dd}端子から負荷へ過電流を流すと、V_{dd}電圧が瞬間的に下降する。そのとき、V_{dd}電圧がV_{LR}より低くなると、比較器43の動作により第7 pMOSトランジスタ44の電圧が更に下降して第7 pMOSトランジスタ44がオンされ、負荷に電流が供給されてV_{dd}電圧が上昇する。もしも、V_{dd}電圧がV_{LR}より大きくなると、今度は第7 pMOSトランジスタ44のゲート電圧が上昇して第7 pMOSトランジスタ44がオフされ、V_{dd}の上昇が止まる。

【0020】V_{dd}の下降幅が大きくなるほど第7 pMOSトランジスタ44のゲート電圧も一層下降するので、V_{dd}はより速く上昇する。又、第7 pMOSトランジスタ44のサイズが大きくて高速で電流を流すようにすると、V_{dd}の変動幅もそれだけ減少する。すなわち、このドライバ回路70は、第7 pMOSトランジスタ44のドレインと第3 nMOSトランジスタ45のドレインとが共通接続されて、比較器43へ第3 nMOSトランジスタ45のドレイン電圧をフィードバックして内部電圧(V_{dd})を出力する。

【0021】

【発明の効果】上述したように、本発明の内部電圧発生回路では次のような効果がある。基準電圧を内部電圧レベルに増幅させるに際して、回路製造工程で発生する素子の変化に基づく電圧の変動を工程変化補償部で補償して、安定した内部電圧レベルを維持することができるため、バーンイン時に内部電圧の変化によるチップの信頼性を向上させることができる。また、工程変化補償部を備えているため、内部電圧のレベルを一定に維持するためのトリミング回路が別途必要なく、容易且つ確実に内部電圧を合わせることができる。さらに、工程変化補償部はしきい値電圧の低いトランジスタを使用することで効果的に内部電圧を補償することができる。

【図面の簡単な説明】

【図1】従来の内部電圧発生回路を示す回路図。

【図2】本発明実施形態による内部電圧発生回路を示す回路図。

【符号の説明】

40 基準電圧発生部

50 内部電圧レベル増幅部

60 工程変化補償部

70 ドライバ部

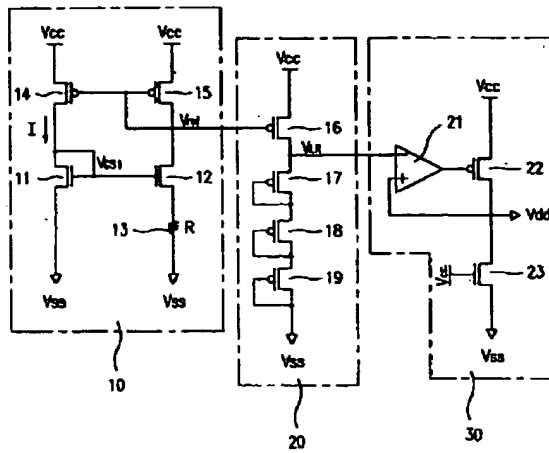
31、32、45 nMOSトランジスタ

33、41 抵抗

34、35、36、37、38、39、40 pMOSトランジスタ

43 比較器

【図1】



【図2】

